

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-283718

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)12月9日

H 03 K 19/094

A-8326-5J

H 01 L 27/08

7925-5F

H 03 K 29/80

E-8122-5F

H 03 K 19/00

101

B-8326-5J

審査請求 未請求 発明の数 1 (全7頁)

⑥ 発明の名称 論理集積回路装置

② 特 願 昭61-102425

③ 出 願 昭61(1986)5月2日

優先権主張 ③ 昭60(1985)5月2日 ③ 日本(JP) ④ 特願 昭60-94905

⑦ 発 明 者 平 山 裕 光 東京都港区芝5丁目33番1号 日本電気株式会社内

⑧ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑨ 代 理 人 弁理士 内 原 晋

明 細 書

1 発明の名称

論理集積回路装置

2 特許請求の範囲

化合物半導体基板上に形成された論理集積回路装置において、論理動作回路部分を構成する電界効果トランジスタよりも前記論理動作回路部分の出力を受けて負荷に出力信号を供給する電界効果トランジスタは絶対値において大きなしきい値電圧を有している事を特徴とする論理集積回路装置。

3 発明の詳細を説明

(産業上の利用分野)

本発明は論理集積回路装置に関し、特にヒ化ガリウムのような化合物半導体基板上に形成された超高速論理集積回路装置に関する。

(従来技術)

砒化ガリウム基板上に形成された集積回路装置

(以下、GaAs ICと称す)は砒化ガリウムの高電子移動度に起因した高速特性を有するため、特にシリコンECL高速集積回路装置(以下、Si-ECL ICという)に代わる超高速デバイスとして注目されている。

従って、Si-ECL ICとの互換性を得るために、GaAs ICはSi-ECL ICと以下の条件が要求される。

- (1) 電源電圧及び論理レベルの互換性。即ち、電源電圧は-5.2Vであり、論理ハイレベルおよび論理ロウレベルは-0.7Vおよび-1.9Vである事。
- (2) 論理機能の互換性。特に、正、逆両相の出力を時間遅れなく発生し得る事。
- (3) 出力負荷として、50Ωの直接駆動が可能である事。

上記条件のうち第(2)項を満たすため、GaAs ICにおいてもSi-ECL ICと同様に差動形論理回路が用いられている。差動型論理ゲートに依れば、1ゲートで正逆両相出力が時間遅延なく発生でき

このように、GaAs ICは差動形論理回路を用い、かつ上記条件の第(1)項および第(3)項を満たすように同論理回路を構成するトランジスタの定数を設定していた。

(発明が解決しようとする問題点)

しかしながら、Si-ECCL ICと互換性を有する従来のGaAs ICを検討した結果、GaAs ICとしての高速動作を発揮させるために電力消費を犠牲にしチップ面積を犠牲にしていることが判明した。

これを第2図に示した従来のGaAs ICの等価回路図を用いて説明する。

第2図において、GaAs IC 100は四つの入力端子1乃至4と、二つの出力端子7、8と、第1および第2の電源端子5、6とを有している。第1の入力端子1は、ソースフォロワトランジスタ Q_1 、電流源トランジスタ Q_2 、二つのレベルシフトダイオード D_1 および D_2 、そして二つのバイアス抵抗 R_1 および R_2 で構成される第1の入力回路を介してトランジスタ Q_9 のゲートへ接続される。

トランジスタ Q_{12} 、 Q_{13} のドレインは負荷抵抗 R_{10} の一端に共通接続され、さらにソースフォロワトランジスタ Q_{16} のゲートに接続されている。トランジスタ Q_{14} 、 Q_{15} のドレインは負荷抵抗 R_{11} の一端およびソースフォロワトランジスタ Q_{18} のゲートに共通接続されている。負荷抵抗 R_{10} 、 R_{11} の他端はレベル調整抵抗 R_9 を介して第1の電源端子5に接続されている。トランジスタ Q_{16} 、 Q_{18} のソース出力はレベルシフトダイオード D_7 、 D_8 を介してトランジスタ Q_{14} 、 Q_{15} のゲートにそれぞれ帰還されている。トランジスタ Q_{17} 、 Q_{19} は電流源を構成する。よって、トランジスタ Q_9 乃至 Q_{15} および抵抗 R_9 乃至 R_{11} は、ラッチ回路として動作する差動型論理回路を構成している。

ダイオード D_7 、 D_8 を介するソースフォロワトランジスタ Q_{16} 、 Q_{18} の出力は、トランジスタ Q_{20} 乃至 Q_{22} 、抵抗 R_{12} 乃至 R_{14} 、そしてダイオード D_9 および D_{10} で構成される第1のバッファアンプへ供給される。このバッファアンプにおいて、トランジスタ Q_{20} 、 Q_{21} は差動型式に接続されており、 Q_{22}

第2の入力端子2は、ソースフォロワトランジスタ Q_3 、電流源トランジスタ Q_4 、レベルシフトダイオード D_3 、およびバイアス抵抗 R_3 、 R_4 で構成される第2の入力回路を介してトランジスタ Q_{13} のゲートに接続されている。第3の入力端子3は、ソースフォロワトランジスタ Q_5 、電流源トランジスタ Q_6 、レベルシフトダイオード D_4 、 D_5 、およびバイアス抵抗 R_5 、 R_6 で構成される第3の入力回路を介してトランジスタ Q_{15} のゲートに接続されている。第4の入力端子4はソースフォロワトランジスタ Q_7 、電流源トランジスタ Q_8 、レベルシフトダイオード D_6 、およびバイアス抵抗 R_7 、 R_8 で構成される第4の入力回路を介してトランジスタ Q_{10} のゲートに接続されている。

トランジスタ Q_9 および Q_{10} は差動回路を構成し、それらのソース接続点に電流源トランジスタ Q_{11} が接続されている。トランジスタ Q_{13} および Q_{15} も差動回路を構成し、トランジスタ Q_9 がそれらの電流源として働く。トランジスタ Q_{10} は、トランジスタ Q_{13} および Q_{14} の差動回路の電流源として働く。ト

はその電流源で、 R_{13} 、 R_{14} は負荷抵抗、 R_{12} はレベル調整抵抗である。トランジスタ Q_{23} 乃至 Q_{25} およびダイオード D_1 、 D_{10} はレベルシフト回路を構成する。第1のバッファアンプの出力は、第2のバッファアンプ9へ供給される。第2のバッファアンプ9は第1のアンプと同じ回路構成であるためブロックとして示している。

第2のアンプ9の出力が、ソースが出力端子7、8にそれぞれ接続され出力トランジスタとして動作するソースフォロワトランジスタ Q_{27} 、 Q_{28} にそれぞれ供給されている。出力端子7、8は負荷11、12をそれぞれ介して外部電源端子10に接続されると共に次段の回路(図示せず)へ信号を供給している。

各トランジスタはNチャンネル型であってショットキー接合型電界効果トランジスタである。

このように、GaAs IC 100はSi-ECCL ICとの互換性のための条件の第2項を満たすべく差動型論理回路を用い正相信号を発生している。上記条件の第1項で示した電源電圧の互換性のため

に、図示のとおり第1の電源端子5は接地され、第2の電源端子6には -5.2V の V_{SS} 電位が供給されている。入力端子1と4、2と3はそれぞれ対をなす入力端子として使われ、端子1、4への入力信号 IN_1 および IN_4 の一方と端子2、3への入力信号 IN_2 および IN_3 の一方とは、供給されずに対応する端子を開放して使用する場合がある。入力信号 IN は、Si-ECL ICとの互換性からそのハイレベルが -0.7V 、ロウレベルが -1.9V のECLレベルをとる。よって、抵抗 R_1, R_2, R_3 および R_7 の抵抗値はそれぞれ $1.3\text{K}\Omega$ に、抵抗 R_4, R_5, R_6 および R_8 の抵抗値は $4.9\text{K}\Omega$ に設定され、無信号時の入力端子1乃至4、したがってトランジスタ Q_1, Q_2, Q_3 および Q_7 のゲートバイアスを、入力信号 IN の論理振幅の中間電圧に設定している。この結果、Si-ECL ICとの入力論理レベルに対する互換性が満足されている。

ところで、砒化ガリウム半導体における電子の移動度はシリコン半導体に比して大きい、その特徴をいかに発揮させるためには、他の電界

—6間に抵抗9、抵抗10（又は11）、トランジスタ Q_{12} （又は Q_{13}, Q_{14}, Q_{15} ）、トランジスタ Q_9 （又は Q_{10} ）およびトランジスタ Q_{11} の電流パスが生じる。すなわち、電源間に3個のトランジスタと1個の負荷抵抗と1個のレベル調整用抵抗とが直列接続されることになる。電源電圧の絶対値は 5.2V である。したがって、レベル調整用抵抗 R_9 の電圧降下を V_{R9} とし、負荷抵抗 R_{10} （又は R_{11} ）の電圧降下を V_{L5} とすると、3個の直列接続トランジスタのドレイン・ソース間にかかる電圧 V_{DSA} は

$$V_{DSA} (= 3 V_{DS}) = 5.2 - V_{R9} - V_{L5} \quad \cdots(2)$$

となる。負荷抵抗 R_{10} （又は R_{11} ）の電圧降下 V_{L5} はトランジスタ Q_{14} （又は Q_{13} ）および Q_{20} （又は Q_{21} ）の論理振幅であり、これらをオン、オフ動作させるためには最低でも 2V 必要とする。抵抗 R_9 の電圧降下 V_{R9} は、トランジスタ Q_{12} と Q_{13} 、そして Q_{14} と Q_{15} を差動論理動作させるために 0.6V 必要とする。したがって、(2)式から電圧 V_{DSA} は 2.6V 以下となる。直列接続の3個のトランジスタの

効果トランジスタによる論理回路と同様に、GaAs ICにおけるすべてのトランジスタを飽和領域（すなわち、ドレイン・ソース間電流変化に対しドレイン電流がほぼ一定となる領域）で動作させる必要がある。したがって、次の関係(1)が要求される。

$$V_{DS} > V_{DS(SAT)} = V_{GS} - V_T \quad \cdots(1)$$

ここで、 V_{DS} はドレイン・ソース間電圧、 $V_{DS(SAT)}$ は飽和領域に入る点のドレイン・ソース間電圧、 V_{GS} は印加されたゲート・ソース間電圧、 V_T はしきい値電圧である。 V_{GS} が大きいほどトランジスタの相互コンダクタンスが増加し、より高速動作に適しているが、 V_{GS} が 0.6V 以上となるショットキー接合型トランジスタではゲートが順方向バイアスされることになり、ゲート電流が流れて耐圧劣化等を引き起こす。したがって、 V_{GS} は 0.4V 乃至 0.6V の範囲に設定されている。

第2図に戻って、トランジスタ Q_9 乃至 Q_{15} および抵抗 R_9 乃至 R_{11} で構成されるラッチ回路として動作する差動型論理回路に着目すると、電源端子5

各々のソース・ドレイン間にかかる電圧 V_{DS} は約 0.8V となる。前述のごとく、各トランジスタに 0.4 乃至 0.6V のゲート・ソース間電圧 V_{GS} を与える必要がある。この結果、各トランジスタのしきい値電圧 V_T は、(1)式から -0.2V 乃至 -0.3V となり、これより深く設定することはできない。トランジスタ Q_9 乃至 Q_{15} のしきい値電圧がそのように決まれば、ICにおけるトランジスタは同一工程で製造されるから、残りのトランジスタ Q_1 乃至 Q_8 および Q_{16} 乃至 Q_{20} のしきい値電圧 V_T も -0.2V 乃至 -0.3V となる。

Si-ECL ICとの互換性の条件第3項から、 50Ω の負荷11および12の一端が出力端子7、8にそれぞれ直接接続されている。出力端子7、8から得られる出力信号 OUT_1 および OUT_2 が -0.7V の論理ハイレベルと -1.9V の論理ロウレベルをとなければならないことは言うまでもない。出力トランジスタ Q_{27}, Q_{28} がオフのときは、 -2V が与えられる電源端子10に負荷11、12の他端が接続されているから、出力信号 OUT_1 お

および OUT_2 は約 $-1.9V$ の論理ロウレベルをとることができる。したがって、トランジスタ Q_{27} および Q_{28} は、信号 OUT_1 および OUT_2 が約 $0.7V$ の論理ハイレベルをとるために、 20 乃至 $24mA$ の電流を流す能力を必要とされる。このような比較的大きな電流能力は、トランジスタ Q_{27} 、 Q_{28} のゲート幅をかなり大きくすることによって対処している。

第3図に、トランジスタのゲート幅に対するドレイン電流 I_{DS} の関係を示す。トランジスタ Q_{27} および Q_{28} のしきい値電圧 V_T は $-0.2V$ であるためその関係は線 200 で示され、 $20mA$ の電流能力を得るためには $450\mu m$ ものゲート幅を必要とする。

すなわち、従来のGaAs IC 100では、かなり大きなサイズの出力段トランジスタ Q_{27} 、 Q_{28} を必要とし、チップサイズが大きくなる。ゲート幅が大きなトランジスタは入力容量を大きくする。すなわち、出力トランジスタ Q_{27} および Q_{28} の入力容量はかなり大きく、このため、トランジスタ Q_{28} 、

Q_{29} で直接トランジスタ Q_{27} 、 Q_{28} を駆動できない。第2のバッファアンプ9をさらに設け、トランジスタ Q_{27} 、 Q_{28} の大きな入力容量による動作速度の減速を防止している。3つ以上のバッファアンプを設ける場合もある。バッファアンプ9における各トランジスタは、かなり大きな負荷容量の駆動のために、比較的大きなゲート幅を必要とするため、同アンプ9での電力消費は大きくチップサイズも増大させる。

以上のとおり、従来技術によるSi-ECL ICとの互換性を有するGaAs ICは高速論理動作を実現するために消費電流を犠牲にしチップサイズを犠牲にしていた。

本発明の目的は低消費電力で小さいチップサイズをもって高速動作を実現した論理集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明による集積回路装置は、負荷駆動用の出力段電界効果型トランジスタのしきい値電圧値を他の電界効果型トランジスタのしきい値電圧値より

も絶対値において大きく設定したことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例によるGaAs IC 500の等価回路図を示している。本GaAs IC 500では、出力段のソースフォロワトランジスタが、 Q_{30} および Q_{31} として示されているように、第2図の出力段トランジスタ Q_{27} 、 Q_{28} よりも低い(絶対値においては大きい)しきい値電圧を有している。トランジスタ Q_{30} 、 Q_{31} のしきい値電圧が大きくなった分、小さなゲート幅で従来と同じ電流能力を得ることができ、これらトランジスタ Q_{27} 、 Q_{28} のサイズは小さくなると共に入力容量もかなり減少する。したがって、トランジスタ Q_{30} 、 Q_{31} はトランジスタ Q_{28} 乃至 Q_{29} 、ダイオード D_9 および D_{10} 、そして抵抗 R_{12} 乃至 R_{14} で構成される第1のバッファアンプで直接駆動され、従来では必要であった第2のバッファアンプ9を不要としている。

入力信号 IN_1 乃至 IN_4 に対する第1乃至第4の

入力回路およびラッチ回路として動作する差動型論理回路を構成する各素子は、第2図と同じ参照記号で示されるように、第2図と同じ定数に設定されている。すなわち、Si-ECL ICとの互換性および高速動作から、トランジスタ Q_1 乃至 Q_{28} は -0.2 乃至 $-0.3V$ のしきい値電圧を有し、抵抗 R_1 、 R_2 、 R_3 、 R_7 はそれぞれ $13K\Omega$ で抵抗 R_4 、 R_5 、 R_6 は $4.9K\Omega$ である。第1の電源端子5は接地され、第2の電源端子は $-5.2V$ の V_{SS} 電位を受ける。各トランジスタ Q_1 乃至 Q_{28} および Q_{30} 、 Q_{31} はNチャンネル型であってショットキー接合型電界効果トランジスタである。

本実施例によるGaAs IC 500では、出力段トランジスタ Q_{30} および Q_{31} のしきい値電圧 V_T は $-0.65V$ に選ばれている。したがって、これらトランジスタ Q_{30} および Q_{31} のゲート幅に対するドレイン電圧 I_D 特性は第3図の線 300 で示される。 $170\mu m$ のゲート幅で $20mA$ の電流能力をトランジスタ Q_{30} 、 Q_{31} に持たせることができる。したがって、トランジスタ Q_{30} および Q_{31} の大きさはトラ

ンジスタ Q_{27} および Q_{28} に対して $1/3$ 近くまで小さくなり、ペレット面積が縮小される。

トランジスタの入力容量は、ゲート幅に比例すると共に、しきい値電圧に依存する。しかし、しきい値電圧の増加による入力容量の増加は、本実施例の場合、20%以下に抑えられる。結局、トランジスタ Q_{30} および Q_{31} の入力容量はトランジスタ Q_{27} および Q_{28} (第2図)よりもかなり小さくなる。また、この結果として第2図で示した第2のバッファアンプ9を不要とするので、その分だけチップ面積がさらに不要となるし、電力消費も大幅に低減する。本発明によるGaAs IC 500のペレット面積は第2図のIC100に比して30乃至40%小さく、電力消費も同様に低減された。

したがって、本発明は、Si-ECL ICと互換性をもつGaAs ICを低消費電圧で小さなチップ面積をもって高速動作を実現したまま提供する。

トランジスタ Q_{30} および Q_{31} は残りのトランジスタ Q_1 乃至 Q_{26} と異なるしきい値電圧を有するため、そのための製造工程を必要とする。しかしながら、

ホトレジスト51を除去し、第5図のように、新しいホトレジスト53で基板50の一主表面を選択的に覆う。Si⁺イオンの選択イオン注入を行ない、トランジスタ Q_1 乃至 Q_{26} のチャネル層54を形成する。チャネル層52のイオン注入条件は注入エネルギー40KeV、ドーズ量5乃至 $6 \times 10^{12} \text{ cm}^{-2}$ で行ない、チャネル層54は注入エネルギー40KeV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入を行なう。この結果、出力トランジスタ Q_{30} 、 Q_{31} のしきい値が-0.6乃至-0.9Vとなるチャネル層52と残りのトランジスタ Q_1 乃至 Q_{26} のしきい値が-0.3V以下となるチャネル層54とが得られる。

次に、第6図に示すように、例えばタングステンシリサイド(WSi)等の高融点金属をショットキー金属として基板50の全面にスパッター蒸着し、ドライエッチングによって選択的に除去してゲート長約0.8 μm の寸法でのゲート電極55、56を形成する。ゲート電極55のゲート幅は前述のとおり所定の電流能力をもつように設定される。

上述した本発明の効果は製造工程の増加というハンディを補ってあまりあることは明白であろう。

GaAs ICでは、出力信号OUT₁およびOUT₂の立上り時間および立下り時間がそれぞれ100乃至130ピコセカンドであることが望まれる。この条件を満足しかつ第2のバッファアンプ9(第2図)を不要とする充分な入力容量をもつトランジスタ Q_{30} および Q_{31} のしきい値電圧の好ましい範囲は、実験の結果0.6乃至0.9Vであることが判明した。

第4図乃至第8図に出力段トランジスタ Q_{30} (Q_{31})と論理部トランジスタ Q_9 (残りのトランジスタ Q_1 乃至 Q_8 および Q_{10} 乃至 Q_{26} も同様)との製造工程を示す。

まず、第4図に50で示される半絶縁性砒化ガリウム基板を用意し、この一主表面をホトレジスト51で覆う。Si⁺イオンを不純物として露出した基板部分に選択イオン注入して負荷駆動用の出力トランジスタ Q_{30} (Q_{31})のチャネル層52を形成する。

この後、例えばSiO₂の絶縁膜57をCVD等により全面に堆積させる。

しかる後、絶縁膜57は異方性エッチングにさらされ、第7図のように、ゲート電極55、56の両側面のみに残る。寄生ソース抵抗を減少させ高い g_m を得るために、ソースおよびドレイン領域となる高キャリア濃度層(以下、N⁺層と呼ぶ)58乃至61が有機金属CVD法により選択的に形成される。側壁絶縁膜57はゲート55、56とN⁺層58乃至61とを電気的に分離する役割を果たす。N⁺層58-61が、チャネル層52、54より上部にあるため、よく知られた短チャネル効果は大幅に低減し得る事は明らかである。しかも、N⁺層58-61の存在により高い g_m 値が得られる。本実施例では約300mS/mm以上の g_m 値が得られている。リフトオフ等の方法により、Au/Ge-Niよりなるオーム性電極62乃至65が形成される。

第8図のように、SiO₂のような絶縁膜66を全面に形成し、コンタクトホールを形成して電極

配線67乃至70が形成される。

本実施例では、イオン注入のドーズ量のみを変更しているから、製造工程の増加に伴うコストアップは最少限に抑えられる。勿論、イオン注入のエネルギーも変えてよいことは明らかである。要は、出力トランジスタ Q_{20} 、 Q_{21} のチャンネル濃度を上げてしきい値を深くすればよい。

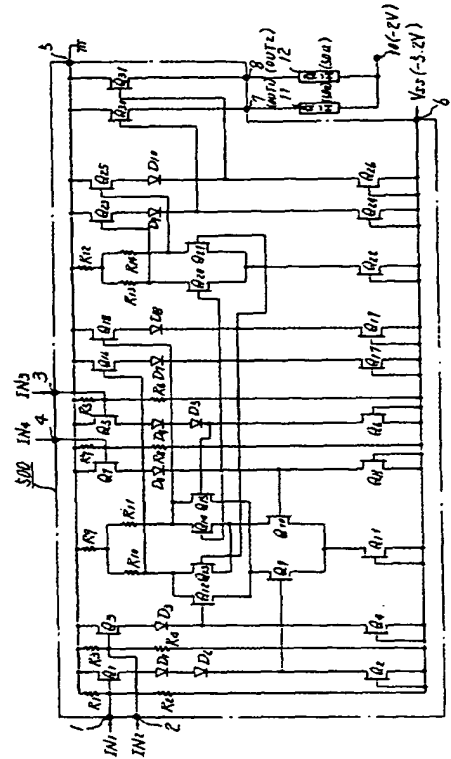
〔発明の効果〕

以上のとおり、本発明はチップ面積および電力消費を犠牲にすることなくSi-ECL ICとの互換性をもつ高速のGaAs ICでもよく、また、出力トランジスタはソース接地型のもでもよい。

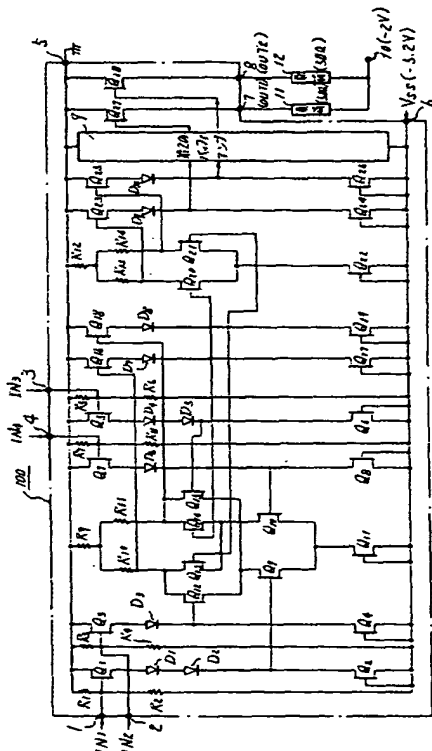
4. 図面の簡単な説明

第1図は本発明の一実施例を示す等価回路図、第2図は従来例を示す等価回路図、第3図はしきい値が一定のときのゲート幅に対するドレイン電流の特性グラフ、第4図乃至第8図は本発明による出力トランジスタとそれ以外のトランジスタとの製造工程の一例を示す断面図である。

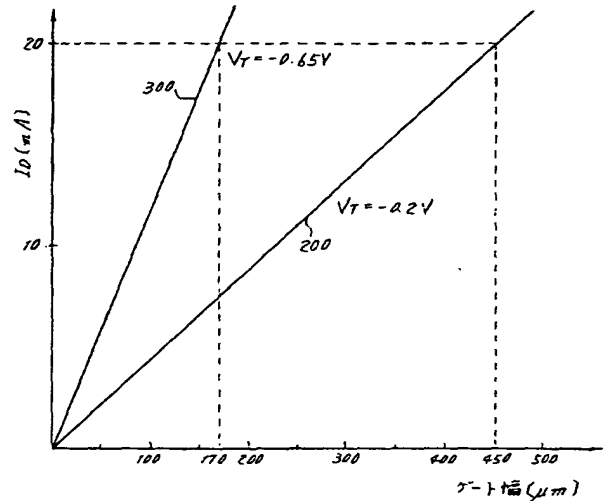
代理人 弁理士 内 原 晋



第1図



第2図



第3図

